



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11119746 A**

(43) Date of publication of application: 30.04.99

(51) Int. Cl. G09G 3/36
G02F 1/133

(21) Application number: 09287154

(22) Date of filing: 20.10.97

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **ISHII MASAYA**

(54) DRIVING CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC EQUIPMENT

(57) Abstract:

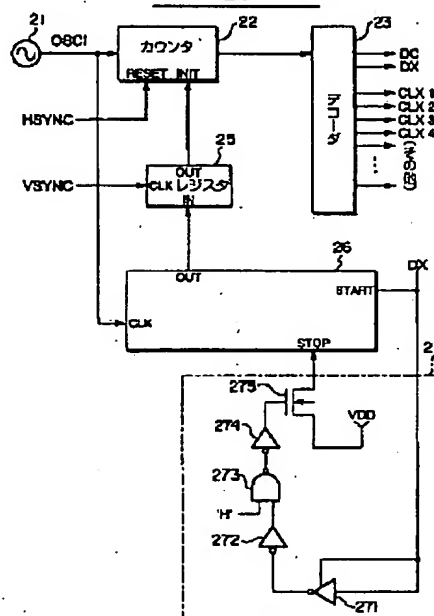
PROBLEM TO BE SOLVED: To automatically perform timing adjustment of various clock signals (dot clock DC, clock signal CLX1-CLX4, etc.), in a driving circuit for liquid crystal display.

SOLUTION: A dummy circuit 27 is formed on the same IC chip as that of the data side driving circuit (not shown) of a liquid crystal display, simulating a circuit per one step of the data side driving circuit. A counter 26 measures a delay time (time that a signal passes the dummy circuit 27) by counting the clock signal OSC1, with the measured result stored in a register 25 for each frame period. A counter 22, using the value stored in this register 25 as the initial value, counts the clock signal OSC1, while a decoder 23 forms various clock signals by decoding it. In the case where the delay time of the data side driving circuit and the dummy circuit 27 changes on account of a temperature change for example, the value is reflected on, the initial value of the counter 22, so that timing is

adjusted in forming various clock signals.

COPYRIGHT: (C)1999,JPO

タイミング回路ブロック 20



(00-00602:参考)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-119746

(43) 公開日 平成11年(1999)4月30日

(51) Int. Cl. °	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数 8

OL

(全 13 頁)

(21) 出願番号 特願平9-287154

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 石井 賢哉

長野県諏訪市大和3丁目3番5号 セイコー

エプソン株式会社内

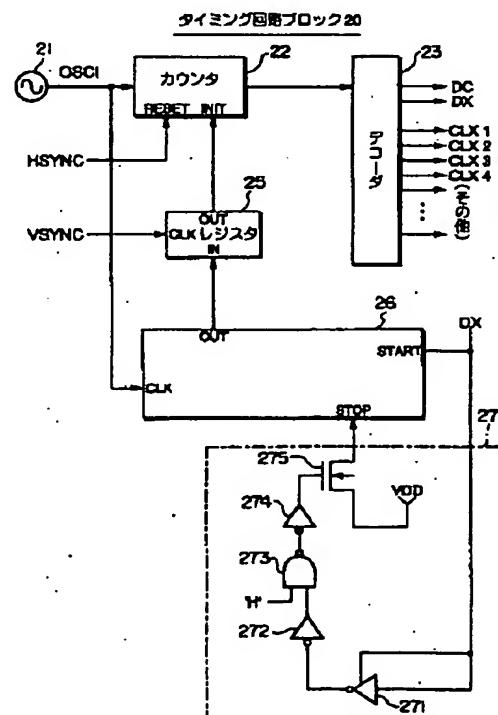
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 駆動回路、表示装置および電子機器

(57) 【要約】

【課題】 液晶ディスプレイの駆動回路において、各種のクロック信号（ドットクロック DC、クロック信号 CLX1～CLX4 等）のタイミング調整を自動的に行う。

【解決手段】 ダミー回路 27 は、液晶ディスプレイのデータ側駆動回路（図示せず）と同一の IC チップ上に形成され、該データ側駆動回路の 1 段あたりの回路を模擬したものである。カウンタ 26 は、クロック信号 OSC I をカウントすることによって遅延時間（信号がダミー回路 27 を通過する時間）を計測し、その計測結果がフレーム周期毎にレジスタ 25 に記憶される。カウンタ 22 はこのレジスタ 25 に記憶された値を初期値としてクロック信号 OSC I をカウントし、デコーダ 23 はこれをデコードすることによって各種のクロック信号を生成する。温度変化等によってデータ側駆動回路およびダミー回路 27 の遅延時間が変化すると、その値がカウンタ 22 の初期値に反映され、各種のクロック信号の生成タイミングが調整される。



【特許請求の範囲】

【請求項 1】 データ信号が供給される複数のデータ信号線と、前記データ信号線と交差する複数の走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動装置であって、

所定のクロック信号に同期して前記データ信号を前記データ信号線に供給するデータ線駆動回路と、

前記データ線駆動回路の少なくとも一部の回路を模擬するダミー回路と、

前記ダミー回路の遅延時間を測定し、

この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする駆動回路。

【請求項 2】 前記データ線駆動回路および前記ダミー回路は同一基板上に形成されたことを特徴とする請求項 1 記載の駆動回路。

【請求項 3】 前記データ線駆動回路は、入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングに基づいて制御されるスイッチング素子を有し、

前記ダミー回路は、前記シフトレジスタの少なくとも 1 段分の回路とこの出力信号のタイミングに基づいて制御されるスイッチング素子とから構成されることを特徴とする請求項 2 記載の駆動回路。

【請求項 4】 データ信号が供給される複数のデータ信号線と、前記データ信号線と交差する複数の走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動回路であって、

所定のクロック信号に同期して前記データ信号を対応するデータ信号線に供給するデータ線駆動回路と、前記データ線駆動回路の遅延時間を測定する遅延時間測定回路と、

この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする駆動回路。

【請求項 5】 前記データ信号線に対してプリチャージ電圧を印加するプリチャージ回路を具備し、

前記データ線駆動回路は入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングにより制御されるスイッチング素子とを有し、前記遅延時間測定回路は、前記シフトレジスタに入力信号が供給されてから、前記スイッチング素子の入力端に前記データ線に印加されたプリチャージ電圧が現れるまでの時間を前記遅延時間として測定することを特徴とす

る請求項 4 記載の駆動回路。

【請求項 6】 前記データ線駆動回路および前記プリチャージ回路は同一基板上に形成されたことを特徴とする請求項 5 記載の駆動回路。

【請求項 7】 請求項 1 ないし 6 の何れかに記載の駆動回路を有することを特徴とする表示装置。

【請求項 8】 請求項 7 記載の表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイに用いて好適な駆動回路、この駆動回路により制御される表示装置および電子機器に関する。

【0002】

【従来の技術】従来の液晶表示装置の全体構成を図 4 を参照し説明する。この液晶表示装置は、電子機器例えば液晶プロジェクタのライトバルブとして用いられる液晶パネルであり、液晶パネルブロック 10 と、タイミング回路ブロック 20 と、データ処理ブロック 30 とから構成されている。ブロック 20 や 30 は、同一の IC チップ上に形成されている。

【0003】タイミング回路ブロック 20 は、各部で使用されるタイミング信号（詳細は後述する）を出力する。データ処理ブロック 30 の内部において、32 は相展開回路であり、一系統の画像信号 Data が入力されると、これを N 相（図示の例では N=6）の画像データ Data1~6 に展開し出力する。なお、画像信号 Data を N 相に展開する理由は、後述するサンプルホールドスイッチ 106 a~f を介して各 TFT114 のソース電極に画像データ信号を印加する時間を長くすることにより、サンプルホールド時間および液晶セル 116 の充電時間を確保するためである。

【0004】また、34 は増幅・反転回路であり、画像データ Data1~6 のうち反転が必要なものを反転させ、しかる後に適宜反転された画像データ Data1~6 を増幅し出力する。なお、反転周期は、パネル全体へのデータ信号の印加方式が走査線単位の極性反転、データ信号線単位の極性反転、画素単位の極性反転であるかに応じて、一水平走査期間あるいはドットクロック周期に設定される。

【0005】液晶パネルブロック 10 においては、図 4 の行方向に沿って平行に配列された複数の走査信号線 110 a, b, c, ……と、これらと直交する方向に沿って平行に配列された複数のデータ信号線 112 a, b, c, ……とを有する画素部 100 が形成されている。

【0006】図上で走査信号線 110 とデータ信号線 112 a, b, c, ……の各交点に対応して、マトリクス状に画素が形成されている。各画素は、走査信号線 110 a, b, c, ……にゲート電極が接続され、データ信号線 112 a, b, c, ……にソース電極が接続される

TFT114と、TFT114のドレイン電極に接続される画素電極（図示せず）と、画素電極に接続される保持容量（図示せず）とから成る。そして、画素電極と、これに対応する共通電極と、両電極間に挟まれた液晶層とにより、液晶セル116が構成される。

【0007】なお、液晶パネルは、上述したデータ信号線、走査信号線、TFT、画素電極、および保持容量が形成されるガラス基板（素子基板）と、共通電極が形成されるガラス基板（対向基板）とを間隙を持って対向させ、その間隙に液晶を挟持させ、封入することにより構成される。

【0008】106a, b, c, ……は素子基板上に形成されたTFTから成るサンプルホールドスイッチであり、各データ信号線112に対応して設けられ、所定のホールド信号が供給されると、その時点における画像データData1～6の電圧レベルを対応するデータ信号線112に出力する。

【0009】104はサンプルホールドスイッチ106a, b, c, ……を駆動制御するデータ側駆動回路であり、素子基板上に形成されて、画像データData1～6に同期して各サンプルホールドスイッチ106a, b, c, ……に上記ホールド信号を供給する（詳細は後述する）。103はデータ線駆動回路を示す。105は走査側駆動回路であり、各走査信号線110a, b, c, ……に対して走査信号を順次供給する。

【0010】ここで、走査信号が供給された走査信号線110a, b, c, ……にゲート電極が接続されているTFT114はオン状態になる。そして、データ信号線112a, b, c, ……画像データが供給されていると、該データ信号線にソース電極が接続されているTFT114を介して保持容量が充電される。すなわち、走査側駆動回路105による垂直走査とデータ側駆動回路104による水平走査との交点に対応する液晶セル116が充電されることになる。また、170はプリチャージ回路であり、各データ信号線112a, b, c, ……に画像データが供給される直前、すなわち、一つ前の走査線の選択が終了して、新たな走査線が選択されて画素にデータ信号が供給されるまでの間に、各データ信号線にTFT170a, b, c, ……を介してプリチャージ電圧を印加する。

【0011】プリチャージ回路170は、素子基板上に形成され、タイミング回路ブロック20から供給されるプリチャージ・タイミング信号PRを受けて、TFT170a, b, c, ……を介して各データ信号線112a, b, c, ……にパネル外から供給されるプリチャージ電圧VPを印加する。図4のプリチャージ回路の例はパネルを走査線単位の極性反転駆動した場合のものであり、電圧VPは直後にデータ信号線に印加されるデータ信号の極性と同一極性の電圧に設定され、走査線毎にその極性が反転される。

【0012】次に、データ側駆動回路104の詳細を図5を参照し説明する。図において120, 130, 140, 150はシフトレジスタであり、図6に示す共通の入力信号DXがこれらシフトレジスタに供給される。ここで、入力信号DXは、図6に示す通り、ドットクロックDCの「8」周期に渡って「H」レベルになる信号である。また、クロック信号CLX1～CLX4は、各々ドットクロックDCの「8」倍の周期を有し、クロック信号CLX2～CLX4は、クロック信号CLX1に対して、各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んでいる。

【0013】図5に戻り、シフトレジスタ120においては、121aはクロックドインバータであり、その信号入力端および制御入力端には、各々入力信号DXおよびクロック信号CLX1が供給される。従って、クロックドインバータ121aの出力信号は、入力信号DXおよびクロック信号CLX1が共に「H」レベルである半周期は「L」レベルになり、クロック信号CLX1が「L」レベルである半周期はハイインピーダンス状態になる。

【0014】次に、121bはインバータであり、クロックドインバータ121aの出力信号を反転する。従って、入力信号DXおよびクロック信号CLX1が共に「H」レベルである半周期は、インバータ121bの出力信号は「H」レベルになる。次に、121cはクロックドインバータであり、その信号入力端にはインバータ121bの出力信号が供給され、制御入力端にはクロック信号CLX1（CLX1の反転信号）が供給される。

【0015】従って、クロック信号CLX1および入力信号DXが共に「H」レベルである半周期は、クロックドインバータ121cの出力はハイインピーダンス状態になる。ここでクロック信号CLX1が「L」レベルになると、その時点におけるインバータ121bの出力信号がクロックドインバータ121cによって反転され、「L」レベルの出力信号がインバータ121bに供給される。これにより、クロック信号CLX1が「L」レベルである半周期においても、インバータ121bから「H」レベルの信号が出力される。

【0016】次に、クロック信号CLX1が再び「H」レベルになった時は入力信号DXが「L」レベルになるから、クロックドインバータ121aの出力信号は「H」レベルになり、インバータ121bの出力信号は「L」レベルになる。従って、インバータ121bの出力信号（図6においてSR1-OUT1で示す）は、入力信号DXと等しくなる。

【0017】次に、122aはクロックドインバータであり、その信号入力端および制御入力端には、信号SR1-OUT1およびクロック信号CLX1が各々供給される。これにより、信号SR1-OUT1が「H」レ

ベルであってクロック信号CLX1が「L」レベルである半周期において、クロックドインバータ122aの出力信号は「H」レベルになり、他の期間はハイインピーダンスになる。換言すれば、クロックドインバータ122aからはクロックドインバータ121aの出力信号を半周期だけ遅延させた信号が出力される。

【0018】次に、122bはインバータ、122cはクロックドインバータ、123aはクロックドインバータであり、各々インバータ121b、クロックドインバータ121c、と同様に接続されている。但し、クロックドインバータ121cおよびクロックドインバータ123aには、反転されていないクロック信号CLX1が供給される。これにより、インバータ122bの出力信号（図6においてSR1-OUT2で表わす）は、信号SR1-OUT1に対して、クロック信号CLX1の半周期だけ遅延した信号になる。

【0019】このように、クロックドインバータ121a、インバータ121bおよびクロックドインバータ121cはシフトレジスタ120の第1段目を形成し、クロックドインバータ122a、インバータ122bおよびクロックドインバータ122cは第2段目を形成する。そして、シフトレジスタ120の各段からは、入力信号DXをクロック信号CLX1の半周期づつ順次遅延させた信号が出力されることになる。

【0020】また、シフトレジスタ130、140、150はシフトレジスタ120と同様に構成され、クロック信号CLX1に対して各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んだクロック信号CLX2～CLX4によって駆動される。この結果、シフトレジスタ130、140、150の各段の出力信号は、シフトレジスタ120の各段の出力信号に対して各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んだものになる。従って、これらシフトレジスタの格段の出力信号は、図6の信号SR1-OUT1～SR3-OUT2に示すように、入力信号DXをドットクロックDCの一周期づつ遅延させた信号に等しくなる。

【0021】次に、160a、b、c、……はNAND回路であり、各シフトレジスタの各段の出力信号と、ドットクロックDCの「4」周期遅れた出力信号（例えば、信号SR1-OUT1と信号SR1-OUT2）とのNAND演算を行う。また、162a、b、c、……はインバータであり、NAND回路160a、b、c、……の信号を反転し、各々信号SL1-Data1、SL2-Data2、SL3-Data3、……を出力する。

【0022】この結果、図6に示すように、信号SL1-Data1、SL2-Data2、SL3-Data3、……は、各出力信号SR1-OUT1、SR2-OUT1、SR3-OUT1、……と、各々に対して

「4」周期遅れた出力信号との論理積に等しくなり、各々ドットクロックDCの「4」周期幅のパルス幅を有し、ドットクロックDCの「1」周期づつ順次遅延させた信号になる。そして、これらの信号がホールド信号としてサンプルホールドスイッチ106a、b、c、……に供給されることにより、画像データData1～6がサンプルホールドスイッチ106a、b、c、……にホールドされることになる。

【0023】次に、タイミング回路ブロック20の構成を図7を参照し説明する。図において21は発振回路であり、ドットクロックDCの数倍の周波数を有するクロック信号OSCIを出力する。22はカウンタであり、水平同期信号HSYNCの立上りに同期してリセットされ、リセットされた後はクロック信号OSCIのパルス数をカウントする。カウンタ22には、リセットされた際のカウンタ値の初期値を入力する初期値入力端INITが設けられている。24はロータリーエンコーダであり、製造者またはユーザによって操作され、この初期値を設定する。23はデコーダであり、カウンタ22の出力値をデコードして、上述したドットクロックDC、入力信号DXおよびクロック信号CLX1～CLX4の他、各種のタイミング信号を出力する。

【0024】

【発明が解決しようとする課題】ところで、図5に示した回路においては画像信号Dataを「6」相に展開したにも拘らず、サンプルホールドスイッチ106a、b、c、……におけるサンプルホールド時間はドットクロックDCの「4」倍に留まっており、スイッチング素子106においてデータ信号の十分なサンプリングができず、不十分な電圧のまま画素に供給されてしまうため十分なコントラスト比が得られない。これは、単にサンプルホールド時間を延長することは容易である（例えば各NAND回路160a、b、c、……に対して、シフトレジスタのある出力信号と、ドットクロックDCの「3」周期または「2」周期遅延した出力信号とを供給すれば、サンプルホールド時間はドットクロックDCの「5」倍または「6」倍になる）が、このように構成すると、タイミング調整の頻度が高くなるからである。

【0025】この理由を以下説明しておく。図6においては、信号SL1-Data1、SL2-Data2、SL3-Data3、……の立上りまたは立下がりタイミングはクロック信号CLX1～CLX4の立上りまたは立下がりタイミングと一致しているが、実際は各ゲート回路が遅延時間を有するため、これらのタイミングは一致しない。

【0026】例えば、図5の回路をTFT（薄膜トランジスタ）によって構成すると、信号SL1-Data1、SL2-Data2、SL3-Data3、……の遅延時間は、「50～200」nsec程度である。この遅延時間は半導体製造プロセスにおける環境によって

ばらつき、温度による変化や経年変化も大きい。従って、サンプルホールド時間をドットクロックDCの「5」倍あるいは「6」倍まで延長すると、信号SL1-Dat a 1、SL2-Dat a 2、SL3-Dat a 3、……のタイミングの誤差によって、意図しない画像データがホールドされる虞がある。

【0027】例えば、図4のような構成においては、本来はサンプルホールドスイッチ106aによってホールドされるべき画像データがサンプルホールドスイッチ106gによってホールドされるようなことが考えられる。このような不具合が発生すると、液晶パネルブロック10に表示される画像にはゴーストが発生する。従って、かかる事態を回避するために、製造者およびユーザは、必要に応じてデータ側駆動回路104のタイミング調整を行う必要があった。すなわち、画面を見ながらロータリーエンコーダ24を操作して最適なポイントを探さなければならず、煩雑であった。

【0028】以上のように、従来の液晶ディスプレイの駆動回路においては、サンプルホールド時間を長く確保しようとするタイミング調整の頻度が高くなり、調整の頻度を下げようとするサンプルホールド時間を短くせざるを得ずコントラスト比が低下し、画像品質が劣化する。

【0029】この発明は上述した事情に鑑みてなされたものであり、高い画像品質を有しながら調整作業を簡略化できる駆動回路、表示装置および電子機器を提供することを目的としている。

【0030】

【課題を解決するための手段】上記課題を解決するため請求項1記載の構成にあつては、データ信号が供給される複数のデータ信号線と、これらデータ信号線と交差する走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動装置であつて、所定のクロック信号に同期して前記データ信号を前記データ信号線に供給するデータ線駆動回路と、前記データ線駆動回路の少なくとも一部の回路を模擬するダミー回路と、前記ダミー回路の遅延時間を測定し、この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする。

【0031】さらに、請求項2記載の構成にあつては、請求項1記載の駆動回路において、前記データ線駆動回路および前記ダミー回路は同一基板上に形成されたことを特徴とする。

【0032】さらに、請求項3記載の構成にあつては、請求項2記載の駆動回路において、前記データ線駆動回路は、入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングに基づい

て制御されるスイッチング素子を有し、前記ダミー回路は、前記シフトレジスタの少なくとも1段分の回路とこの出力信号のタイミングに基づいて制御されるスイッチング素子とから構成されることを特徴とする。

【0033】また、請求項4記載の構成にあつては、データ信号が供給される複数のデータ信号線と、これらデータ信号線と交差する走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動回路であつて、所定のクロック信号に同期して前記データ信号を対応するデータ信号線に供給するデータ線駆動回路と、前記データ線駆動回路の遅延時間を測定する遅延時間測定回路と、この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする。

【0034】さらに、請求項5記載の構成にあつては、請求項4記載の駆動回路において、前記データ信号線に対してプリチャージ電圧を印加するプリチャージ回路を具備し、前記データ線駆動回路は入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングにより制御されるスイッチング素子とを有し、前記遅延時間測定回路は、前記シフトレジスタに入力信号が供給されてから、前記スイッチング素子の入力端に前記データ線に印加されたプリチャージ電圧が現れるまでの時間を前記遅延時間として測定することを特徴とする。

【0035】さらに、請求項6記載の構成にあつては、請求項5記載の駆動回路において、前記データ線駆動回路および前記プリチャージ回路は同一基板上に形成されたことを特徴とする。

【0036】また、請求項7記載の構成にあつては、請求項1ないし6の何れかに記載の駆動回路を有することを特徴とする。

【0037】また、請求項8記載の構成にあつては、請求項7記載の表示装置を有することを特徴とする。

【0038】

【発明の実施の形態】

1. 第1実施形態

次に、本発明の第1実施形態の液晶パネルについて説明する。第1実施形態の全体構成は図4と同様である。また、データ側駆動回路104の構成も図5に示したものと同様であるが、高いコントラスト比を得るために、サンプルホールドスイッチ106a、b、c、……におけるサンプルホールド時間はドットクロックDCの「6」倍に設定されている（例えば図6における信号SL1-Dat a 1に代えて、信号SR1-OUT1と信号SR3-OUT1との論理積をとったものが用いられる）。

【0039】また、タイミング回路ブロック20とし

て、図7のものに代えて図1に示すものが用いられる。なお、図において図7の各部に対応する部分には同一の符号を付しその説明を省略する。

【0040】図において26はカウンタであり、そのSTART入力端における信号が‘H’レベルに立上ると、クロック信号OSCIのカウントを開始するとともに、STOP入力端における信号が‘H’レベルに立上ると、カウントを終了させる。また、25はレジスタ等の記憶手段であり、垂直同期信号VSYNCに同期してカウンタ26のカウント結果をラッチする。

【0041】27は液晶パネルブロック10の素子基板上にデータ線駆動回路103の各素子と同一工程で形成され、データ線駆動回路103を模擬してそこでの回路の遅延時間を検出するためのダミー回路であり、データ側駆動回路104およびサンプルホールドスイッチ106a、b、c、……の「1」段あたりの構成と同様に構成されている。すなわち、ダミー回路27は、クロックドインバータ121a等に対応するクロックドインバータ271と、インバータ121b等に対応するインバータ272と、NAND回路160a等に対応するNAND回路273と、インバータ162aに対応するインバータ274と、サンプルホールドスイッチ106a等に対応するサンプルホールドスイッチ275とから構成されている。

【0042】また、サンプルホールドスイッチ275の入力端には電源電圧VDDが印加され、出力端はカウンタ26のSTOP入力端に接続されている。そして、カウンタ26のSTART入力端およびクロックドインバータ271の入力端には入力信号DXが供給される。ダミー回路27を構成するTFT等の素子は、データ線駆動回路103の対応する回路素子と同一のサイズ（TFTの場合は同一のチャンネル長、チャンネル幅を有する）となるように構成されている。すなわち、両者を同一プロセス及び同一構成として、実質的に同一特性とすることが望ましい。

【0043】また、このダミー回路27は、基板上での素子特性のバラツキによらずデータ線駆動回路103と同等の遅延時間を得るためにデータ線駆動回路103の近傍の素子基板上に設けるとよい。

【0044】次に、本実施形態の動作を説明する。

【0045】まず、水平同期信号HSYNCが立上ると、カウンタ22がリセットされ、レジスタ25の内容に基づいてカウント値の初期値が設定される。以後、クロック信号OSCIが立上る毎にカウント結果がインクリメントされつつデコーダ23に供給される。デコーダ23にあっては、従来技術のものと同様に、図6に示すドットクロックDC、入力信号DX、クロック信号CLX1～CLX4が生成され、これらがデータ側駆動回路104に供給される。これにより、サンプルホールドスイッチ106aが駆動される。

【0046】また、画像信号Dataは相展開回路32において「6」相の画像データData1～6に展開され、増幅・反転回路34を介して各サンプルホールドスイッチ106a、b、c、……の入力端に供給される。これにより、画像データData1～6がサンプルホールドスイッチ106a、b、c、……にラッチされ、画素部100に画像が表示される。

【0047】一方、入力信号DXが‘H’レベルに立上ると、カウンタ26においてクロック信号OSCIのカウントが開始される。この入力信号DXはクロックドインバータ271、インバータ272、NAND回路273、およびインバータ274を介して「4」回反転されつつ遅延され、サンプルホールドスイッチ275の制御入力端に供給される。そして、さらにサンプルホールドスイッチ275の動作時間が経過した後、電源電圧VDDがカウンタ26のSTOP入力端に印加されるから、カウンタ26におけるカウント動作が終了する。ここで、入力信号DXと、ダミー回路27の出力信号と、カウンタ26のカウント値との関係を図10(b)～(d)に示す。

【0048】以上の動作が、各水平走査周期毎に繰返される。そして、「1」フィールド（又は1フレーム）分の水平走査が終了し、垂直同期信号VSYNCがレジスタ25に供給されると、カウンタ26のカウント結果（すなわち前のフィールド（フレーム）における最後の水平走査期間におけるカウント結果）がレジスタ25にラッチされる。これにより、以後水平同期信号HSYNCがカウンタ22に供給された際に、このカウント結果がカウンタ22におけるカウントの初期値としてプリセットされる。

【0049】ところで、ダミー回路27はデータ側駆動回路104と同一の基板上に同一プロセスで形成されているから、データ側駆動回路104の各段およびサンプルホールドスイッチ106a、b、c、……とほぼ同一の遅延時間を有している。カウンタ26におけるカウント結果はこの遅延時間を示すものであり、このカウント結果に基づいてカウンタ22における初期値がプリセットされるから、デコーダ23から出力されるドットクロックDC、入力信号DX、およびクロック信号CLX1～CLX4等のタイミング信号は、該カウント結果に相当する時間だけ早いタイミングで出力されることになる。

【0050】換言すれば、カウンタ22の初期値が「0」であったと仮定した場合の信号DXの波形が図10(f)に示すようなものであれば、カウンタ26のカウント結果に応じてカウンタ22の初期値が設定された場合の信号DXの波形は同図(g)に示すようになる。

【0051】この結果、データ側駆動回路104およびサンプルホールドスイッチ106a、b、c、……における遅延時間が補償される。そもそも画像データData

a1~6は、クロック信号OSCIに同期したドットクロック周波数で伝送されてくるので、上記遅延時間は、画像データData1~6のサンプリングタイミングずれにつながっていたが、これが補償されることにより、サンプルホールドスイッチ106a, b, c, ……におけるサンプルホールドのタイミングは、画像データData1~6の伝送タイミングにほぼ正確に一致する。また、温度変化等によってデータ側駆動回路104あるいはサンプルホールドスイッチ106a, b, c, ……の遅延時間が変化したとしても、同一基板上のダミー回路27の遅延時間も同様に变化する筈であるから、直ちにカウンタ26のカウント結果に反映される。

【0052】なお、カウンタ26のカウント結果を水平同期信号HSYNC毎ではなく垂直同期信号VSYNC毎にカウンタ22に反映している理由は、ダミー回路27の遅延時間がカウント値の変化する閾値付近である場合は水平走査毎にカウント結果がばらつくので、水平走査毎にDXのタイミングを変更して、走査タイミングが変わることが、画面上にちらつきの生じる原因になりかねないからである。

【0053】なお、発振回路21は、フェーズロック・ループ(PLL)として構成し、水平同期信号HSYNC、垂直同期信号VSYNCもクロック信号OSCIをカウントして、形成することが好ましい。

【0054】なお、上記図1においてはデータ線駆動回路103の一段分のダミー回路27を設けて一段分の遅延時間を測定したが、本発明はこれに限定されるものではなく複数段分の遅延を測定することができる。例えば、シフトレジスタ2段分の遅延を測定する場合、サンプルホールドスイッチ106eまでの遅延時間を測定することになる。この場合、クロックドインバータ121a, インバータ121b, クロックドインバータ122a, インバータ122bに対応してこれらを模倣する4段のインバータを、図1のインバータ271に置き換えて設けることになる。

【0055】この場合、ダミーのクロックドインバータはデータ側駆動回路と同様にクロックCLX1を入力されるクロックドインバータとして構成するとよい。また、カウンタ26の計算結果は、クロックCLX1を入力するシフトレジスタの2段目の出力による遅延を測定するものであるから、クロックCLX1の半周期を差し引いた計算結果を2分の1として、カウンタ22にプリセットされることになる。

【0056】2. 第2実施形態

次に、第1実施形態の液晶パネルを液晶プロジェクタに適用した例を図2を参照し説明する。

【0057】図において1100は液晶プロジェクタであり、その内部に白色光源のランプユニット1102が設けられている。ランプユニット1102から射出された投写光はライトガイド1104内の複数のミラー11

06, 1106, ……および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、それぞれの原色に対応付けられた3枚の液晶パネル1110R, 1110Gおよび1110Bに照射され、各液晶パネルがライトバルブとして入射する色光を画像信号に応じて変調する。

【0058】液晶パネル1110R, 1110Gおよび1110Bの構成は第1実施形態において説明した通りである。第1実施形態にて説明したタイミング回路ブロック20は3つの液晶パネル1110R, 1110G, 1110Bに共通して設け、3つのうち一つの液晶パネルのダミー回路27からの遅延時間を測定するとよい。なぜなら、3つの液晶パネルは同一工程で作られるものであり、製造バラツキによる遅延時間のずれはわずかなので、タイミング回路ブロック20を共通して使用できる。

【0059】但し、3つの液晶パネルの使用環境が異なると(周辺温度が異なる)、液晶パネルの特性が互いにバラツク場合は、各々の液晶パネルにタイミング回路ブロック27を設けて別々にタイミング調整するとよい。さて、これら液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112においては、レッド(R)およびブルー(B)の光が「90°」曲げられ、グリーン(G)の光は直進する。従って、各色の画像が合成され、投写レンズ1114を介して、スクリーン等にカラー画像が投写される。

【0060】3. 第3実施形態

次に、第1実施形態の液晶パネルをパーソナルコンピュータに適用した例を図3を参照し説明する。

【0061】図においてパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶ディスプレイ1206とから構成されている。液晶ディスプレイ1206は、第1実施形態の液晶パネルにカラーフィルタとバックライトとを付加することにより、構成されている。

【0062】4. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

【0063】4. 1. 上記各実施形態においては、垂直同期信号VSYNCに同期してカウンタ26のカウント結果をレジスタ25にラッチしたが、ラッチするタイミングは垂直同期信号VSYNC以外の種々のタイミングを採用してもよい。例えば、10秒間隔、1分間隔でラッチしてもよい。

【0064】4. 2. 上記各実施形態においては、データ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……の遅延時間を求めるためにダミー回路27を用いた。しかし、例えば帰線期間内にデータ側駆動回路104およびサンプルホールドスイッチ10

10

20

30

40

50

6a, b, c, ……自体の遅延時間を測定し、この結果に基づいてレジスタ25の内容をセットしてもよい。

【0065】この実施形態の変形例を図8に示す。図8においては、カウンタ26のカウンタ停止STOPには一段目のデータ線112aの電位を途中で抜き出して入力している。垂直帰線期間中に発生された入力信号DXはデータ側駆動回路104のシフトレジスタをクロック信号CLXによって伝送される。その結果、NAND160a、インバータ162aを介してサンプリングタイミング信号SL1-Dat1が出力され、サンプルホールドスイッチ106aがONして画像信号Dat1がデータ線112aに出力される。

【0066】一方、カウンタ26ではDXによりカウンタ開始されており、データ線112aからパネル外部に取り出されたDat1によりカウンタ停止する。カウンタ26のカウンタ結果はレジスタ25にラッチされ、次のフィールド（又はフレーム）における遅延時間の補償用に用いるために、カウンタ22の初期値としてプリセットされる。なお、レジスタ25でのラッチタイミングは、垂直同期信号VSYNCの発生からカウンタ26がカウンタ停止するまでの期間以上経過後に、カウンタ26の結果をラッチする。

【0067】このような構成によれば、ダミー回路27を設けることなく、垂直期間中に遅延時間を測定できる。また、通常、液晶パネルの画素領域の周辺（上下左右のそれぞれ）の近い数画素分はダミー画素として表示に寄与しないようにされる。従って、データ線102aはダミー画素につながったダミーのデータ線となる。このデータ線102aに遅延時間測定のために引き出し線を付加しても表示は影響しない。

【0068】なお、入力信号DXはクロック信号OSCIの出力をカウントして出力されるパルスであるため垂直帰線期間中でも発生されている。しかし、走査開始の入力信号DYが走査側駆動回路に出力されないため走査信号が出力されない。よって、垂直走査期間中はデータ線駆動回路は動作するが表示が書き換えられるわけではない。

【0069】また、他のデータ線の出力を取り出して遅延時間測定することもできる。すなわち、第1実施形態と同様に、サンプルホールドスイッチ106eの出力を取り出して遅延測定する場合、カウンタ26はデータ線112eから出力を取り出してカウンタ停止する。カウンタ結果は、同様に、クロック信号CLX1の半周期分を差し引き、 $1/2$ した値をカウンタ22にプリセットする。4.3. さらに、帰線期間内にデータ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……自体の遅延時間を測定し、この結果に基づいてレジスタ25の内容をセットする実施形態を説明する。

【0070】この実施形態の変形例を図9に示す。図9

においては、カウンタ26のカウンタ停止STOPには、プリチャージ回路170においてデータ線112aに印加されたプリチャージ電圧がサンプルホールドスイッチ106aを介して相展開した画像信号Dat1に現れたタイミングを抜き出して入力している。垂直帰線期間中に発生された入力信号DXはデータ側駆動回路104のシフトレジスタをクロック信号CLXによって伝送される。

【0071】その結果、NAND160a、インバータ162aを介してサンプリングタイミング信号SL1-Dat1が出力される。一方、DXの発生前に、プリチャージタイミング信号PRによりONされたTFT170aを介してプリチャージ電圧VPがデータ線112aには印加されている。従って、垂直帰線期間にはDat1には画像信号は出力されていないので、スイッチ106aがONするとDat1にはプリチャージ電圧が逆流して出力される。

【0072】また、カウンタ26ではDXによりカウンタ開始されており、パネル外部に取り出されたDat1によりカウンタ停止する。カウンタ26のカウンタ結果はレジスタ25にラッチされ、次のフィールド（又はフレーム）における遅延時間の補償用に用いるために、カウンタ22の初期値としてプリセットされる。なお、レジスタ25でのラッチタイミングは、垂直同期信号VSYNCの発生からカウンタ26がカウンタ停止するまでの期間以上経過後に、カウンタ26の結果をラッチする。

【0073】このような構成によれば、ダミー回路27を設けることなく、垂直帰線期間中に遅延時間を測定できる。なお、通常、液晶パネルの画素領域の周辺（上下左右のそれぞれ）の近い数画素分はダミー画素として表示に寄与しないようにされる。従って、データ線102aはダミー画素につながったダミーのデータ線となる。このデータ線102aを遅延時間測定のために用いても表示には影響しない。

【0074】4.4. 図4の構成においてはデータ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……の双方において遅延が生じるが、この中でサンプルホールドスイッチ106a, b, c, ……における遅延時間よりもデータ側駆動回路104における遅延時間の方が大きい。従って、データ側駆動回路104の遅延時間が得られれば充分である場合は、ダミー回路27をクロックドインバータ271、インバータ272、NAND回路273、およびインバータ274のみによって構成することも考えられる。

【0075】4.5. 以上の実施例及び変形例において、タイミング回路ブロック20は、液晶パネルブロック10とは別基板上に構成されることを前提に説明してきたが、タイミング回路ブロック20も液晶パネルブロック10の素子基板上に形成しても良い。

【 0 0 7 7 】

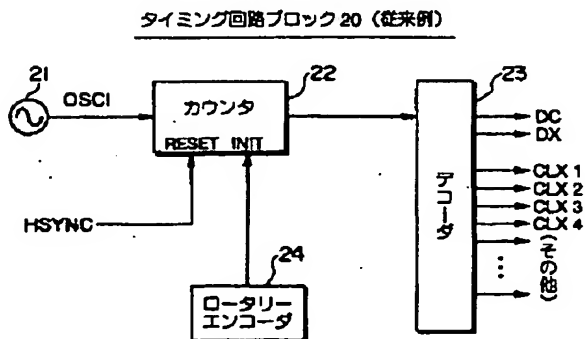
【図面の簡単な説明】

【符号の説明】

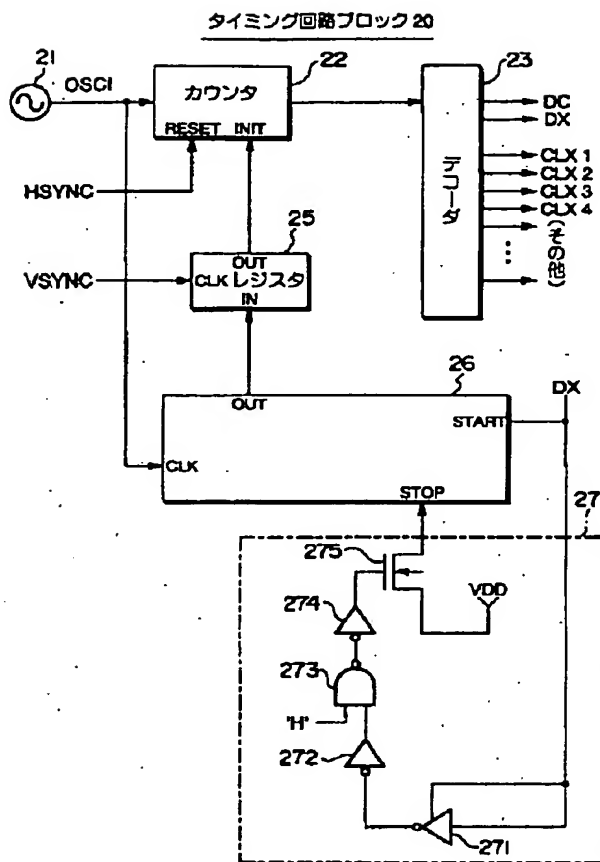
22 カウンタ

275 サンプルホールドスイッチ (スイッチング素子)

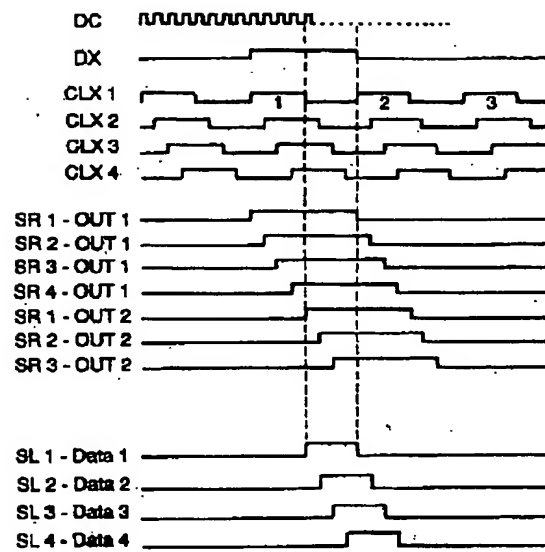
【图7】



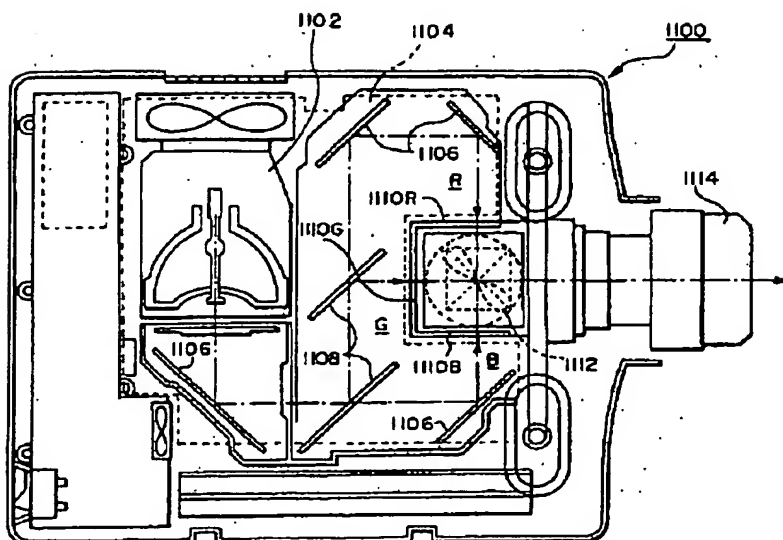
【図1】



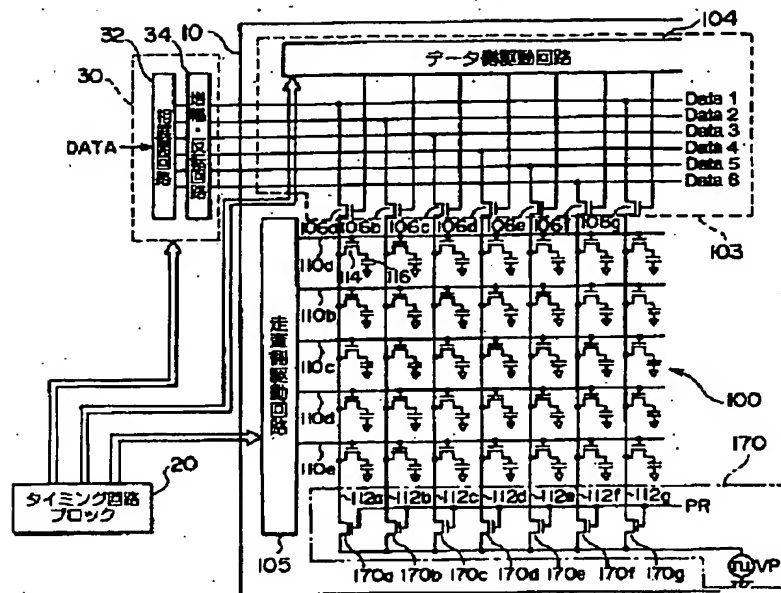
【図6】



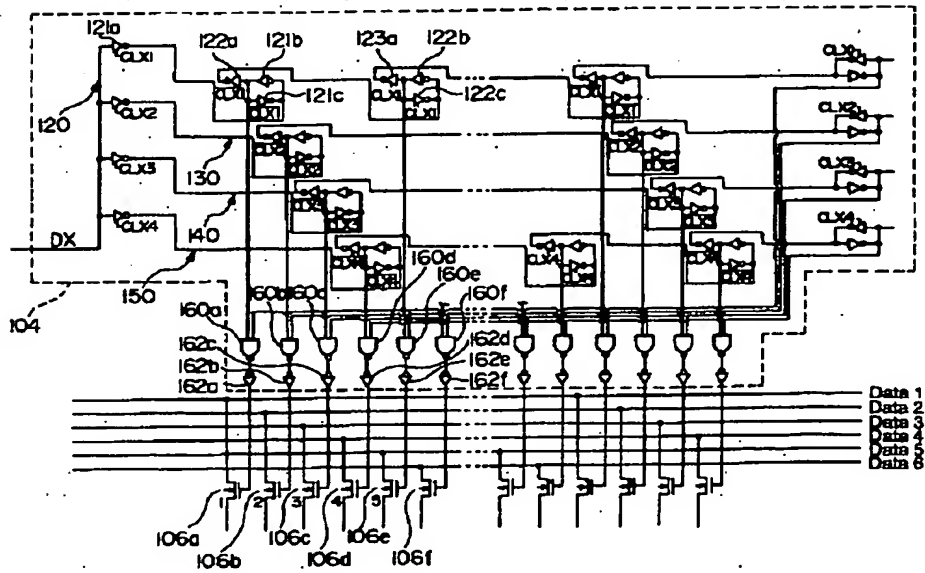
【図2】



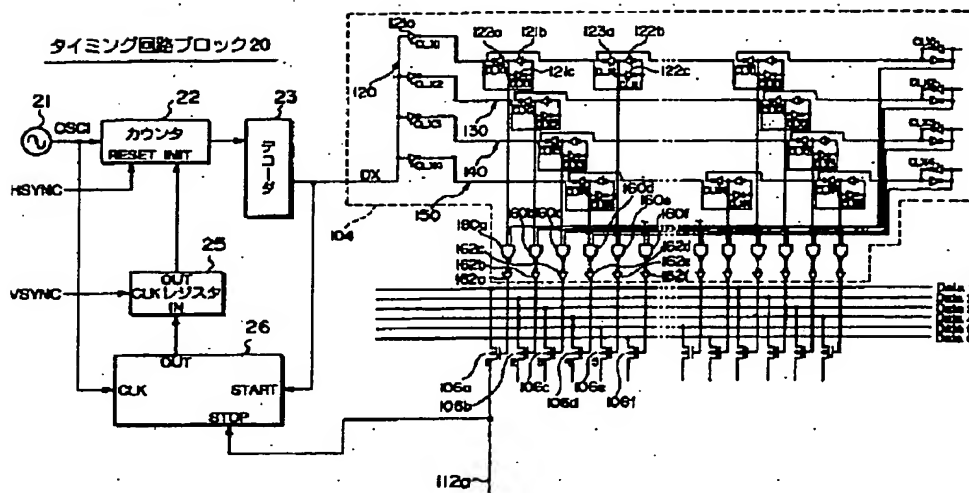
【図4】



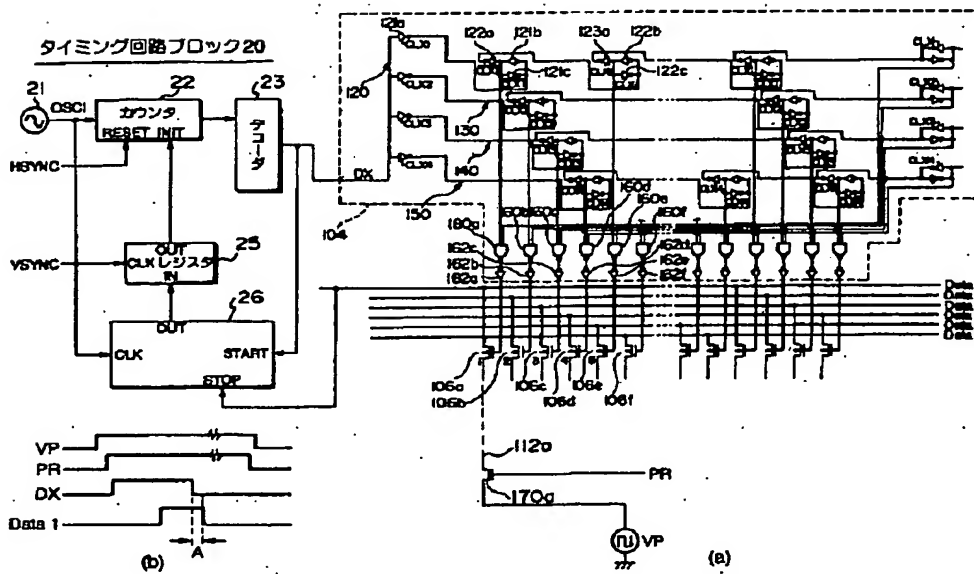
【図5】



【图 8】



【图9】



【図10】

